

(4) Japanese Patent Application Laid-Open No. 9-172358 (1997):
“HIGH BREAKDOWN VOLTAGE POWER INTEGRATED CIRCUIT”

The following is an extract relevant to the present application.

The present invention relates to a high breakdown voltage power integrated circuit which requires a switch output of high breakdown voltage and high power, especially relates to an overcurrent limiting circuit in the high breakdown voltage power integrated circuit having two output switching devices for current discharge and current sink. It is used for a motor-driven switch of a relatively low frequency using, for example, a three-phase inverter and a half-bridge.

An overcurrent limiting circuit 22 provided in a high breakdown voltage power integrated circuit comprises a voltage comparison circuit 23 which detects a voltage of a middle-point terminal equivalent to an overcurrent of a high-side output switching device 10, a delay circuit 24 which delays a front edge of an input of a high-side output switching motor control signal by a first delay time, a delay circuit 25 which delays an output signal of the voltage comparison circuit by a second delay time, an AND circuit 26 which outputs an overcurrent detecting signal using AND of output signals of each delay circuit, and a latch circuit 27 which latches an output of the overcurrent detecting signal and controls a drive signal of an output switching drive circuit by its latch output so that the drive signal is in an off-state.

特開平9-172358

(43) 公開日 平成9年(1997)6月30日

(51) Int. Cl. ⁶	識別記号	F I
H03K 17/08	9184-5K	H03K 17/08
17/56	9184-5K	17/56
17/687	9184-5K	17/687

審査請求 未請求 請求項の数 5 O L (全8頁)

(21) 出願番号 特願平7-333321

(22) 出願日 平成7年(1995)12月21日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 常次 幸男

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

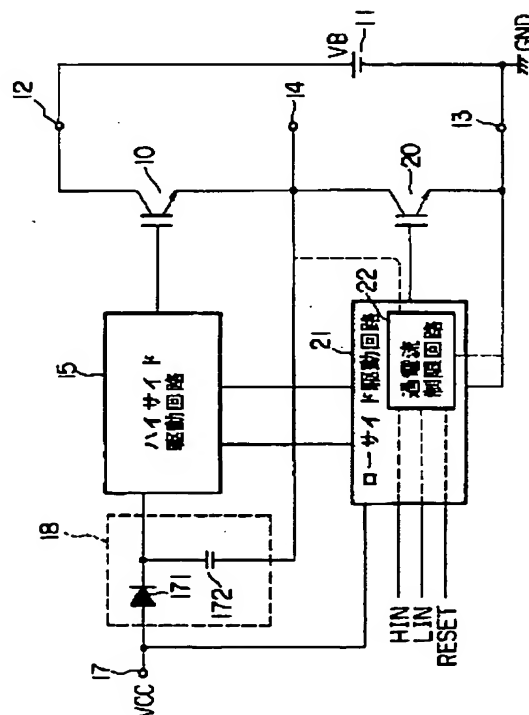
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 高耐圧パワー集積回路

(57) 【要約】

【課題】 高耐圧パワー I Cにおいて、ハイサイド出力スイッチ素子の過電流時を検出した信号をローサイド出力スイッチ駆動回路に伝達する回路を出力駆動回路と同一チップ上に集積化することが容易になり、チップコストの上昇を抑制する。

【解決手段】 高耐圧パワー I Cに設けられた過電流制限回路 22は、中点端子の電圧がハイサイド出力スイッチ素子 10の過電流時に対応する電圧になった時を検出する電圧比較回路 23と、ハイサイド出力スイッチ駆動制御信号入力の前縁を第1遅延時間だけ遅延させる遅延回路 24と、電圧比較回路の出力信号を第2遅延時間だけ遅延させる遅延回路 25と、各遅延回路の出力信号の論理積をとり、過電流検出信号を出力する論理積回路 26と、過電流検出信号出力をラッチし、そのラッチ出力により出力スイッチ駆動回路の駆動信号をオフ状態に制御するラッチ回路 27とを有する。



【特許請求の範囲】

【請求項 1】 集積回路外部の高電源から電源が印加される高電源端子と、集積回路外部の負荷が接続される中点端子と、前記高電源端子と前記中点端子との間に接続された第 1 の出力スイッチ素子と、前記第 1 の出力スイッチ素子を駆動制御するための第 1 の駆動制御信号入力に応じて上記第 1 の出力スイッチ素子の制御電極に駆動信号を供給する第 1 の駆動回路と、前記中点端子と接地端子との間に接続された第 2 の出力スイッチ素子と、前記第 2 の出力スイッチ素子を駆動制御するための第 2 の駆動制御信号入力に応じて上記第 2 の出力スイッチ素子の制御電極に駆動信号を供給する第 2 の駆動回路と、前記第 1 の出力スイッチ素子の過電流時を検出して過電流検出信号を出力し、前記第 1 の駆動回路および第 2 の駆動回路の駆動信号をオフ状態に制御する過電流制限回路とを具備し、前記過電流制限回路は、前記中点端子の電圧と所定の電圧とを比較し、前記中点端子の電圧が前記第 1 の出力スイッチ素子の過電流時に対応する電圧になっているか否かを検出する電圧比較回路と、前記第 1 の駆動制御信号が入力し、その前縁を少なくとも所定の第 1 の遅延時間だけ遅延させて出力する第 1 の遅延回路と、前記電圧比較回路の出力信号が入力し、少なくとも所定の第 2 の遅延時間だけ遅延させて出力する第 2 の遅延回路と、前記第 1 の遅延回路の出力信号および第 2 の遅延回路の出力信号が入力し、その論理積をとることにより前記第 1 の駆動制御信号が入力した後に前記中点端子の電圧が前記第 1 の出力スイッチ素子の過電流時に対応する電圧になった時を検出し、過電流検出信号を出力する論理積回路と、前記論理積回路から出力する過電流検出信号をラッチし、そのラッチ出力により前記第 1 の駆動回路および第 2 の駆動回路の駆動信号をオフ状態に制御するラッチ回路とを有することを特徴とする。

【請求項 2】 請求項 1 記載の高耐圧パワー集積回路において、前記ラッチ回路は、前記論理積回路から出力する過電流検出信号がセット信号としてセット入力端に入力し、リセット入力端に外部からリセット信号が入力し、セット出力端のセット出力信号が駆動回路制御信号として使用されるリセット優先型のフリップフロップ回路であることを特徴とする高耐圧パワー集積回路。

【請求項 3】 請求項 1 記載の高耐圧パワー集積回路において、前記電圧比較回路は、前記第 2 の電源端子と中点端子との間に直列に接続された抵抗素子および高耐圧ダイオードと、前記抵抗素子と高耐圧ダイオードとの接続ノードに入力端が接続されるインバータ回路とからなることを特徴とする高耐圧パワー集積回路。

【請求項 4】 請求項 1 記載の高耐圧パワー集積回路において、前記第 1 の遅延時間は、前記第 1 の駆動制御信号入力の前縁を少なくとも前記第 1 の出力スイッチ素子がオフ状態からオン状態になる時間をマスクする時間であることを特徴とする高耐圧パワー集積回路。

【請求項 5】 請求項 1 記載の高耐圧パワー集積回路において、前記第 2 の遅延時間は、前記電圧比較回路からの入力信号を少なくとも前記第 1 の出力スイッチ素子の変移時間をマスクする時間であることを特徴とする高耐圧パワー集積回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、高耐圧高電力のスイッチ出力を必要とする高耐圧パワー集積回路に係り、特に電流吐出し用および電流吸込み用の 2 個の出力スイッチ素子を有する高耐圧パワー集積回路における過電流制限回路に関するものであり、例えば三相インバータ、ハーフブリッジを用いた比較的周波数の低いモータ駆動用スイッチに使用される。

【 0 0 0 2 】

【従来の技術】電流吐出し用および電流吸込み用の 2 個の出力スイッチ素子およびその制御用の半導体素子群が同一半導体チップ上にモノリシックに集積化されたインテリジェント型の高耐圧パワー集積回路には、電流吐出し側（ハイサイド）出力スイッチ素子の過電流を検出して過電流検出信号を出力し、上記過電流検出信号をハイサイド出力スイッチ素子用の駆動回路に伝達することにより、ハイサイド出力スイッチ素子をオフ状態に制御し、その破壊を防止する（ハイサイド出力スイッチ素子を保護する）過電流制限回路が設けられている。なお、上記過電流制限回路は、必要に応じて、過電流検出信号を電流吸込み側（ローサイド）出力スイッチ素子用の駆動回路に伝達することにより、ローサイド出力スイッチ素子をオフ状態に制御し、その破壊を防止する。

【 0 0 0 3 】図 4 および図 5 は、それぞれ従来の高耐圧パワー集積回路に形成された出力駆動回路および過電流制限回路の異なる例を示している。図 4 および図 5 において、出力駆動回路は、集積回路外部の高電源 11 から高電源電圧 V_B が印加される高電源端子 12 と接地端子 13 との間にハイサイド出力スイッチ素子 10 およびローサイド出力スイッチ素子 20 がトータムポール接続され、両者の接続点に中点端子 14 が接続されている。即ち、高電源端子 12 と中点端子 14 との間にハイサイド出力スイッチ素子 10 が接続されており、中点端子 14 と接地端子 13 との間にローサイド出力スイッチ素子 20 が接続されている。

【 0 0 0 4 】そして、上記ハイサイド出力スイッチ素子 10 およびローサイド出力スイッチ素子 20 をプッシュプル駆動するためのハイサイド駆動回路 15 およびローサイド駆動回路 16 が設けられている。

【 0 0 0 5 】上記出力スイッチ素子 10 は、例えばモータ駆動用ハーフブリッジ回路の一部をなし、中点端子に接続されている外部負荷（図示せず）に駆動電流を供給するものであり、例えばマルチエミッタ構造を有する N チャネル型の IGBT（絶縁ゲート型バイポーラトラン

ジスタ) が用いられている。

【0006】即ち、ハイサイド IGBT10 は、コレクタが高電源端子12に接続され、第1のエミッタ(電流出力端子)10aは前記中点端子(外部負荷接続端子)14に接続されている。

【0007】また、ローサイド IGBT20 は、コレクタが中点端子14に接続され、第1のエミッタおよび第2のエミッタは接地端子13に接続されている。前記ハイサイド駆動回路は、第1の IGBT 駆動制御信号 HIN に応じてハイサイド出力 IGBT10 のゲート容量に対する充電電流の供給出力をオン/オフ制御することによりハイサイド出力 IGBT10 のゲート電位を制御するものである。

【0008】上記ハイサイド駆動回路15は、集積回路の通常の電源端子17から印加される通常の電源電圧 VCC を昇圧回路18により昇圧した昇圧電圧が入力し、ハイサイド出力 IGBT10 をオン駆動する際に上記昇圧電圧をハイサイド出力 IGBT10 のゲートに供給する。

【0009】前記ローサイド駆動回路16は、第2の IGBT 駆動制御信号 LIN に応じてローサイド出力 IGBT20 のゲート容量に対する充電電流の供給出力をオン/オフ制御することによりローサイド出力 IGBT20 のゲート電位を制御するものである。

【0010】上記ローサイド駆動回路16は、前記電源電圧 VCC が入力し、ローサイド出力 IGBT20 をオン駆動する際に上記電源電圧 VCC に等しい駆動電圧を前記ローサイド出力 IGBT20 のゲートに供給する。

【0011】一方、過電流制限回路40は、前記ハイサイド出力 IGBT10 の第2のエミッタ(電流検出用端子)10bに接続され、ハイサイド出力 IGBT10 の第1のエミッタ(電流出力端子)10aが例えば接地電位 GND に短絡した時のような過電流時に電流検出用端子10bに流れる検出用電流の過電流を検出し、過電流検出信号に基づいてハイサイド出力 IGBT10 の過電流を制限するとともにローサイド出力 IGBT20 を保護するために過電流検出信号をローサイド駆動回路16に伝達するものである。

【0012】この過電流制限回路40は、ハイサイド出力 IGBT10 の電流検出用端子10bに流れる検出用電流を電圧に変換するための抵抗素子41と、上記抵抗素子による変換電圧が所定値を越えた過電圧時(ハイサイド出力 IGBT10 の過電流時)を検出し、前記ハイサイド駆動回路15の出力電流を引き抜くことによりハイサイド出力 IGBT10 のゲート電位を制御する過電流検出用 FET42と、上記過電流検出用 FET42 による過電流検出時に前記ローサイド駆動回路16に過電流検出信号を伝達する過電流検出信号伝達回路(図4中50、図5中60)とを有する。

【0013】上記した図4および図5の回路において、

通常動作時には、負荷インピーダンスが RL であり、高電源端子12の印加電圧が VB、ハイサイド駆動回路15のパルス信号入力 HIN が 0V と例えば 5V との間で変化して、ハイサイド出力 IGBT10 のゲート電圧が 0V と VCC+VB との間で変化する。

【0014】ハイサイド出力 IGBT10 のゲートに VCC+VB の電圧が印加されている時には、ハイサイド出力 IGBT10 がオン状態になり、その電流出力端子10aには VB/RL なる電流が流れ、その 1/1000 程度の電流がハイサイド出力 IGBT10 の電流検出用端子10bに流れる。

【0015】上記ハイサイド出力 IGBT10 がオン状態の期間は、中点端子14の電流出力は外部負荷 RL を駆動し、中点端子14の電圧(出力電圧 OUT)は高電源電圧 VB である。

【0016】これに対して、上記ハイサイド出力 IGBT10 のゲートに 0V が印加されている時には、ハイサイド出力 IGBT10 がオフ状態になる。一方、負荷短絡時などに負荷インピーダンスが低下し、ハイサイド出力 IGBT10 の出力電流が増加して基準電流を越えた時(過電流時)に、過電流制限回路40は、過電流時を検出してハイサイド駆動回路15の出力電流を引き抜いてハイサイド出力 IGBT10 をオフ状態にするように制御することによりハイサイド出力 IGBT10 を保護し、同時に、過電流検出信号を前記ローサイド駆動回路16に伝達してローサイド駆動回路16の駆動を停止するように制御することによりローサイド出力 IGBT20 を保護する。

【0017】なお、図4中に示す過電流検出信号伝達回路50は、ハイサイド出力 IGBT10 およびハイサイド駆動回路15から電氣的に分離するためにフォトカプラーを用いて過電流検出信号をローサイド駆動回路16に伝達している。

【0018】しかし、上記フォトカプラー50を IGBT 出力駆動回路と同一チップ上に集積化することが困難であり、汎用のフォトカプラーを用いるとすると、高価になり、寿命特性も悪いという問題がある。

【0019】一方、図5中に示す過電流検出信号伝達回路60は、高耐圧 PNP トランジスタや高耐圧 PMOS トランジスタを多数用い、ハイサイド出力 IGBT10 のゲート電位を基準にして電流エラーとして検出した出力をローサイド駆動回路16に伝達している。

【0020】また、高耐圧素子は低耐圧素子と比較してパターン面積がかなり大きいので、同一半導体チップ上に多数の高耐圧素子を形成する場合には、チップサイズの増大をまねき、チップコストの上昇をまねく。また、上記高耐圧 PNP トランジスタや高耐圧 PMOS トランジスタはデバイスの構造が複雑になり、採用が困難であるという問題がある。

【0021】

【発明が解決しようとする課題】上記したように従来の高耐圧パワー集積回路における過電流制限回路において、過電流検出信号伝達回路にフォトカプラーを用いる場合には出力駆動回路と同一チップ上に集積化することが困難であり、汎用のフォトカプラーを用いるとすると、高価になり、寿命特性も悪いという問題があった。また、過電流検出信号伝達回路に高耐圧PNPトランジスタや高耐圧PMOSトランジスタを用いる場合には、デバイスの構造が複雑になり、採用が困難であるという問題があった。

【0022】本発明は上記の問題点を解決すべくなされたもので、ハイサイド出力スイッチ素子の過電流時を検出した信号をローサイド出力スイッチ駆動回路に伝達する回路を出力スイッチ駆動回路と同一チップ上に集積化することが容易になり、チップコストの上昇を抑制し得る過電流制限回路を有する高耐圧パワー集積回路を提供することを目的とする。

【0023】

【課題を解決するための手段】本発明の高耐圧パワー集積回路は、集積回路外部の高電源から電源が印加される高電源端子と、集積回路外部の負荷が接続される中点端子と、前記高電源端子と前記中点端子との間に接続された第1の出力スイッチ素子と、前記第1の出力スイッチ素子を駆動制御するための第1の駆動制御信号入力に応じて上記第1の出力スイッチ素子の制御電極に駆動信号を供給する第1の駆動回路と、前記中点端子と接地端子との間に接続された第2の出力スイッチ素子と、前記第2の出力スイッチ素子を駆動制御するための第2の駆動制御信号入力に応じて上記第2の出力スイッチ素子の制御電極に駆動信号を供給する第2の駆動回路と、前記第1の出力スイッチ素子の過電流時を検出して過電流検出信号を出力し、前記第1の駆動回路および第2の駆動回路の駆動信号をオフ状態に制御する過電流制限回路とを具備し、前記過電流制限回路は、前記中点端子の電圧と所定の電圧とを比較し、前記中点端子の電圧が前記第1の出力スイッチ素子の過電流時に対応する電圧になっているか否かを検出する電圧比較回路と、前記第1の駆動制御信号が入力し、その前縁を少なくとも所定の第1の遅延時間だけ遅延させて出力する第1の遅延回路と、前記電圧比較回路の出力信号が入力し、少なくとも所定の第2の遅延時間だけ遅延させて出力する第2の遅延回路と、前記第1の遅延回路の出力信号および第2の遅延回路の出力信号が入力し、その論理積をとることにより前記第1の駆動制御信号が入力した後に前記中点端子の電圧が前記第1の出力スイッチ素子の過電流時に対応する電圧になった時を検出し、過電流検出信号を出力する論理積回路と、前記論理積回路から出力する過電流検出信号をラッチし、そのラッチ出力により前記第1の駆動回路および第2の駆動回路の駆動信号をオフ状態に制御するラッチ回路とを有することを特徴とする。

【0024】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係る高耐圧パワー集積回路の一部（出力駆動回路および過電流制限回路）のブロック構成および集積回路外部との接続関係を示している。

【0025】図1において、11は集積回路外部の高電源、12は上記高電源11から出力スイッチ素子用の高電源電圧VBが印加される高電源端子（第1の電源端子）、13は接地電位GNDが印加される接地端子、14は集積回路外部の負荷（図示せず）が接続される中点端子（外部負荷接続端子）、17は集積回路外部から制御回路用の電源電圧VCCが印加される第2の電源端子である。

【0026】出力駆動回路は、第1の電源端子12と中点端子14との間に接続されたハイサイド出力スイッチ素子10および中点端子14と接地端子13との間に接続されたローサイド出力スイッチ素子20と、これらを駆動するためのハイサイド駆動回路15およびローサイド駆動回路21を有する。

【0027】上記出力スイッチ素子10および20は、例えばNチャネル型のIGBTが用いられており、例えばモータ駆動用ハーフブリッジ回路の一部をなし、中点端子14に接続されている外部負荷（本例ではモータコイル）に駆動電流を供給するものである。

【0028】即ち、ハイサイドIGBT10は、コレクタが第1の電源端子12に接続され、エミッタ（電流出力端子）は中点端子14に接続されている。また、ローサイドIGBT20は、コレクタが中点端子14に接続され、エミッタは接地端子13に接続されている。

【0029】前記ハイサイド駆動回路15は、GNDを基準電位に持つ第1のIGBT駆動制御信号HINに応じてハイサイド出力IGBT10のゲート容量に対する充電電流の供給出力をオン／オフ制御することによりハイサイド出力IGBT10のゲート電位を制御するものである。

【0030】上記ハイサイド駆動回路15は、第2の電源端子17から印加される制御回路用の電源電圧VCCをブートストラップ型の昇圧回路18により昇圧した昇圧電圧が動作電源として入力し、ハイサイド出力IGBT10をオン駆動する際に上記昇圧電圧をハイサイド出力IGBT10のゲートに供給する。

【0031】上記昇圧回路18は、第2の電源端子17と中点端子14との間に直列に接続された第1の高耐圧ダイオード171およびキャパシタ172からなり、前記ローサイド出力IGBT20がオン状態の時にキャパシタ172が充電され、ローサイド出力IGBT20がオフ状態になるとともにハイサイド出力IGBT10がオン状態になった時に中点端子14の電位が上昇し、それに応じて前記高耐圧ダイオード171のカソード（キ

ャパシタ 172 との接続ノード、昇圧出力ノード) の電位が上昇する。

【0032】前記ローサイド駆動回路 21 は、GND を基準電位に持つ第 2 の IGBT 駆動制御信号 LIN に応じてローサイド出力 IGBT 20 のゲート容量に対する充電電流の供給出力をオン/オフ制御することによりローサイド出力 IGBT 20 のゲート電位を制御するものである。

【0033】上記ローサイド駆動回路 16 は、前記第 2 の電源端子 17 から電源電圧 VCC が入力し、ローサイド出力 IGBT 20 をオン駆動する際に上記電源電圧 VCC に等しい駆動電圧を前記ローサイド出力 IGBT 20 のゲートに供給する。

【0034】過電流制限回路 22 は、例えば前記ローサイド駆動回路 21 に内蔵されており、第 1 の IGBT 駆動制御信号 HIN が活性化した後、中点端子 14 の電位が所定値以下に低下した時 (ハイサイド出力 IGBT 10 のエミッタ端子が例えば GND に短絡した時のような過電流時) を検出して過電流検出信号を出力する。そして、上記過電流検出信号に基づいてハイサイド出力 IGBT 10 の過電流を制限するとともに、過電流検出信号をローサイド駆動回路 21 に伝達してローサイド出力 IGBT 20 をオフ状態に制御してローサイド出力 IGBT 20 を保護するものである。

【0035】図 2 は、上記過電流制限回路 22 の一例を示す構成説明図である。図 2 において、23 は電圧比較回路、24 は第 1 の遅延回路、25 は第 2 の遅延回路、26 は論理積回路、27 はラッチ回路 (例えばフリップフロップ回路 F/F) である。

【0036】前記電圧比較回路 23 は、前記中点端子 14 の電圧と例えば前記第 2 の電源端子 17 の電圧とを比較し、前記中点端子 14 の電圧がハイサイド出力 IGBT 10 の過電流時に対応する電圧 (本例では GND) になっているか否かを検出するものである。

【0037】上記電圧比較回路 23 は、本例では、第 2 の電源端子 17 と中点端子 14 との間に直列に接続された抵抗素子 31 および第 2 の高耐圧ダイオード 32 と、上記高耐圧ダイオード 32 のアノード (抵抗素子との接続ノード) に入力端が接続され、電源電圧 VCC により駆動される第 1 のインバータ回路 33 とからなる。なお、前記抵抗素子 31 の一端は、第 2 の電源端子 17 に限らず、電源電圧 VCC 以外の任意の電圧源 (但し、第 1 の電源端子 12 以外) に接続してもよい。

【0038】前記第 1 の遅延回路 24 は、第 1 の IGBT 駆動制御信号 HIN が入力し、その立上がり (前縁) を少なくとも所定の第 1 の遅延時間 t_{d1} (ハイサイド出力 IGBT 10 がオフ状態からオン状態になる時間をマスクする時間) だけ遅延させて出力するものである。

【0039】前記第 2 の遅延回路 25 は、前記第 1 のインバータ回路 33 の出力信号が入力し、少なくとも所定

の第 2 の遅延時間 t_{d2} だけ遅延させて出力するものである。上記第 2 の遅延時間 t_{d2} は、中点端子 14 の電圧がハイサイド出力 IGBT 10 の過電流時に対応する電圧になった時に生じるチャタリングによる影響を防止するために必要な時間であり、少なくとも IGBT の変移時間 t_r 、 t_f をマスクする時間、(IGBT がオン・オフする両エッジから数マイクロ秒の時間) である。

【0040】前記論理積回路 26 は、前記第 1 の遅延回路 24 の出力信号および第 2 の遅延回路 25 の出力信号が入力し、その論理積をとることにより前記第 1 の IGBT 駆動制御信号 HIN が入力した後に中点端子 14 の電圧がハイサイド出力 IGBT 10 の過電流時に対応する電圧になった時を検出し、過電流検出信号を出力するものである。

【0041】前記ラッチ回路 27 は、前記論理積回路 26 から出力する過電流検出信号をラッチし、そのラッチ出力により前記第 1 の駆動回路 15 および第 2 の駆動回路 21 の駆動信号をオフ状態に制御するものである。

【0042】上記ラッチ回路 27 は、本例では、前記論理積回路 26 から出力する過電流検出信号がセット信号としてセット入力端 S に入力し、リセット入力端 R に外部からリセット信号 RESET が入力し、セット出力端 Q のセット出力信号が駆動回路制御信号として使用されるリセット優先型のフリップフロップ回路 F/F が用いられている。

【0043】図 3 は、図 2 の過電流制限回路 22 の一具体例を示す論理回路図であり、図 2 中と同一部分には同一符号を示している。図 3 において、第 1 の遅延回路 24 は、電源電圧 VCC ノードにソース・バックゲートが接続された PMOS トランジスタ M2 およびこの PMOS トランジスタとドレイン相互が接続されるとともにゲート相互が接続され、バックゲートが GND ノードに接続された NMOS トランジスタ M3 からなる第 1 の CMOS インバータ回路 34 と、上記第 1 の CMOS インバータ回路 34 の出力ノードと GND ノードとの間に接続された第 1 のキャパシタ C1 と、GND ノードにソース・バックゲートが接続され、ドレイン・ゲート相互が接続された電流入力用の NMOS トランジスタ M1 およびこの電流入力用の NMOS トランジスタとゲート相互が接続され、ソース・バックゲートが GND ノードに接続され、ドレインが前記第 1 の CMOS インバータ回路 34 の NMOS トランジスタ M3 のソースに接続された電流出力用の NMOS トランジスタ M4 からなる第 1 のカレントミラー回路 35 と、電源電圧 VCC ノードと上記第 1 のカレントミラー回路 35 の電流入力用の NMOS トランジスタ M1 のドレインとの間に接続された第 1 の定電流源 I1 とを有する。

【0044】そして、前記第 1 の CMOS インバータ回路 34 に第 1 の IGBT 駆動制御信号 HIN が入力すると、この入力信号の立上がりから遅延時間 t_{d1} 後に出

10

20

30

40

50

力信号が立ち下がる。

【0045】一方、第2の遅延回路25は、VCCノードにソース・バックゲートが接続され、ドレイン・ゲート相互が接続された電流入力用のPMOSトランジスタM5およびこの電流入力用のPMOSトランジスタとゲート相互が接続され、ソース・バックゲートがVCCノードに接続された電流出力用のPMOSトランジスタM6からなる第2のカレントミラー回路36と、上記第2のカレントミラー回路36の電流入力用のPMOSトランジスタM5のドレインとGNDノードとの間に接続された第2の定電流源I2と、前記第2のカレントミラー回路36の電流出力用のNMOSトランジスタM6のドレインにソースが接続され、バックゲートがVCCノードに接続されたPMOSトランジスタM7およびこのPMOSトランジスタとドレイン相互が接続されるとともにゲート相互が接続され、バックゲートがGNDノードに接続されたNMOSトランジスタM8からなる第2のCMOSインバータ回路37と、上記第2のCMOSインバータ回路37の出力ノードとGNDノードとの間に接続された第2のキャパシタC2と、ドレインが前記第2のCMOSインバータ回路37のNMOSトランジスタM8のソースに接続され、バックゲートがGNDノードに接続され、前記第1のカレントミラー回路35の電流入力用のNMOSトランジスタM1とゲート相互が接続された電流出力用のNMOSトランジスタM9とを有する。

【0046】そして、前記第2のCMOSインバータ回路37に前記インバータ回路33の出力信号が入力すると、この入力信号の立上がりから遅延時間 t_{d2} 後に第2のCMOSインバータ回路37の出力信号が立ち下がる。

【0047】また、論理積回路26は、二入力の“L”レベルの論理積をとる第1のノアゲートからなる。また、フリップフロップ回路27は、上記ノアゲート26の出力信号が入力するインバータ回路271と、上記インバータ回路271の出力信号（セット信号）およびリセット信号が入力する二入力の第2のノアゲート272と、上記第2のノアゲート272の出力信号が一方の入力となる二入力の第3のノアゲート273と、上記第3のノアゲートの出力信号が一方の入力となり、出力信号が上記第3のノアゲートの他方の入力となるようにクロス接続された二入力の第4のノアゲート274とからなり、上記第4のノアゲート274の他方の入力としてリ

セット信号RESETが入力する。

【0048】なお、本発明は、出力スイッチ素子として、前記IGBTに限らず、マルチエミッタ構造を有するIGBT、MOSFET、マルチソース構造を有するDMOSFETなどの電圧駆動型のパワートランジスタ、バイポーラトランジスタ、サイリスタなどを有する高耐圧パワー集積回路に対しても適用可能である。

【0049】

【発明の効果】上述したように本発明によれば、ハイサイド出力スイッチ素子の過電流時を検出した信号をローサイド出力スイッチ駆動回路に伝達する回路を、出力スイッチ駆動回路と同一チップ上に集積化することが容易になり、チップコストの上昇を抑制し得る過電流制限回路を有する高耐圧パワー集積回路を実現することができる。

【図面の簡単な説明】

【図1】本発明の高耐圧パワー集積回路の実施の形態における出力駆動回路および過電流制限回路を示す構成説明図。

【図2】図1中のローサイド駆動回路に内蔵された過電流制限回路の一例を示す構成説明図。

【図3】図2の過電流制限回路の一具体例を示す論理回路図。

【図4】従来の高耐圧パワー集積回路における出力駆動回路および過電流制限回路の一例を示す構成説明図。

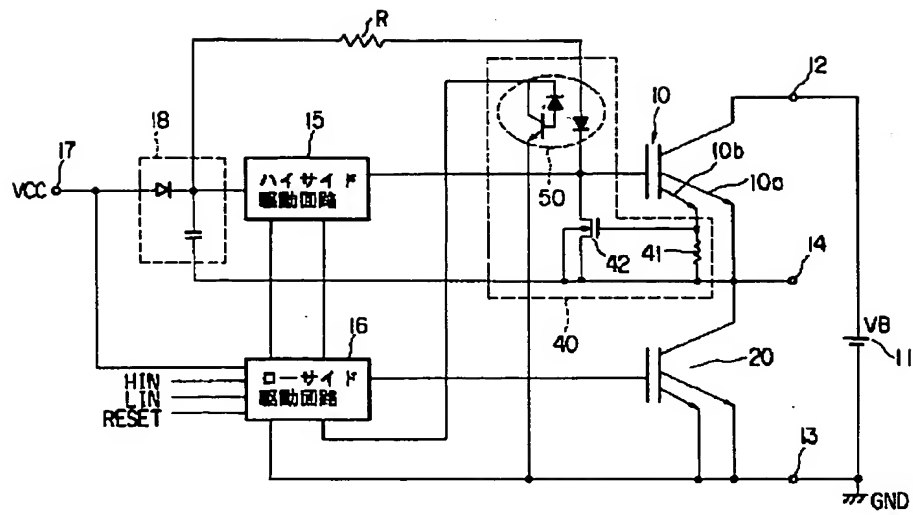
【図5】従来の高耐圧パワー集積回路における出力駆動回路および過電流制限回路の他の一例を示す構成説明図。

【符号の説明】

- 10…ハイサイドIGBT、
- 11…外部電源（高電源）、
- 12…第1の電源端子（高電源端子）、
- 13…接地端子、
- 14…ICの midpoint 端子、
- 15…ハイサイド駆動回路、
- 16…ローサイド駆動回路、
- 17…第2の電源端子、
- 18…昇圧回路、
- 20…ローサイドIGBT、
- 21…ローサイド駆動回路、
- 22…過電流制限回路。

[illegible]

【図 4】



【図 5】

